

TRANSMISSION LINE SWITCHING DEVICE

Publication number: JP4049730

Publication date: 1992-02-19

Inventor: MATSUOKA SHINJI; TAKARAGAWA KOJI;
NAKAGAWA SEIJI

Applicant: NIPPON TELEGRAPH & TELEPHONE

Classification:

- International: **H04L1/22; H04L7/00; H04L1/22; H04L7/00; (IPC1-7):**
H04L1/22; H04L7/00

- European:

Application number: JP19900160491 19900618

Priority number(s): JP19900160491 19900618

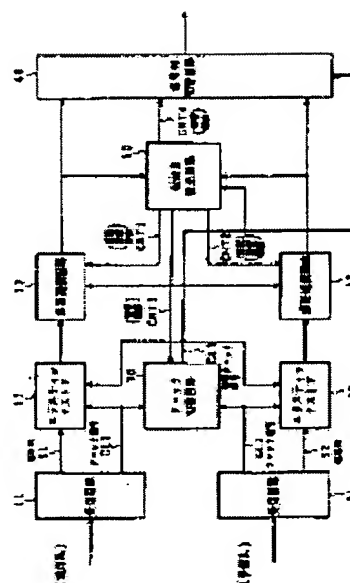
Report a data error here

Abstract of JP4049730

PURPOSE: To perform the switching of a transmission line system in use and a spare one without generating hit by providing two systems of delay compensation circuits at the front and rear stages of an elastic store, respectively, performing the bit delay operation of signal sequence based on a delay control signal, and compensating time difference.

CONSTITUTION: When the switching from a system in use to the spare system is requested, a phase difference detection circuit 50 detects a signal that becomes the reference of a transmission line frame signal, etc., and calculates bit quantity in accordance with delay difference between the transmission lines of the system in use and the spare system.

Furthermore, the delay control signal CNT2 is supplied to the delay compensation circuit 23 of the spare system so as to eliminate phase difference between the signal sequence of the system in use and the spare system, and the bit delay operation of a transmission line signal is performed. Thence, the circuit 50 supplies switching control signals CNT3, CNT4 to a clock switching circuit 30 and a signal sequence switching circuit 40, and switches a clock signal from the clock signal CL1 of the system in use to the clock signal CL2 of the spare system. After that, bit switching from the transmission signal sequence of the system in use to that of the spare system is performed at every bit unit. Thereby, the switching of the system from the one in use to the spare one without generating the hit can be completed.



Data supplied from the esp@cenet database - Worldwide

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平4-49730

⑬ Int. Cl.⁹

H 04 L 1/22
7/00

識別記号

庁内整理番号

H

7189-5K
8949-5K

⑭ 公開 平成4年(1992)2月19日

審査請求 未請求 請求項の数 4 (全8頁)

⑮ 発明の名称 伝送路切替装置

⑯ 特 願 平2-160491

⑰ 出 願 平2(1990)6月18日

⑱ 発 明 者 松 岡 伸 治 東京都千代田区内幸町1丁目1番6号 日本電信電話株式会社内

⑲ 発 明 者 宝 川 幸 司 東京都千代田区内幸町1丁目1番6号 日本電信電話株式会社内

⑳ 発 明 者 中 川 清 司 東京都千代田区内幸町1丁目1番6号 日本電信電話株式会社内

㉑ 出 願 人 日本電信電話株式会社 東京都千代田区内幸町1丁目1番6号

㉒ 代 理 人 弁理士 井出 直孝

明 細 書

1. 発明の名称
伝送路切替装置

2. 特許請求の範囲

1. 入力する現用系および予備系からなる二系の伝送路の信号列をそれぞれ受信し上記二系の信号列およびクロック信号をそれぞれ出力する上記二系の受信回路と、入力する切替制御信号および切替クロック信号に基づき上記二系のうちの動作系の信号列を出力する信号列切替回路とを備えた

伝送路切替装置において、

入力する切替制御信号に基づき上記二系の受信回路からのクロック信号のうちの動作系のクロック信号を選択し切替クロック信号として出力するクロック切替回路と、上記二系の受信回路の各出力に設けられ、信号列をそれぞれ対応するクロック信号により一時格納し上記切替クロック信号によりそれぞれ読出し上記信号列切替回路に与える

エラスティックストアと、上記切替クロック信号に基づき上記信号列切替回路に入力する上記二系の信号のビット位相差を検出し遅延制御信号を出力し、ビット位相が一致したときに上記切替制御信号を出力する位相検出回路と、上記エラスティックストアの各々の前段または後段に設けられ上記遅延制御信号に基づき上記信号列切替回路に入力する信号列の時間差を補償する遅延補償回路とを備えた

ことを特徴とする伝送路切替装置。

2. 上記クロック切替回路は、上記切替制御信号に基づき上記二系のクロック信号のうちの動作系のクロック信号を選択する選択回路と、上記切替クロック信号を発生する位相同期ループとを含み、この位相同期ループは上記選択回路からのクロック信号を比較入力とする請求項1記載の伝送路切替装置。

3. 上記遅延補償回路はそれぞれ、上記二系の受信回路の前段に設けられ光ファイバ型の光可変遅延回路で構成された請求項1記載の伝送路切替装置

特開平4-49730(2)

置。

4. 上記遅延補償回路はそれぞれ、上記二系の受信回路の前段に設けられた光ファイバ型の光可変遅延回路およびこの光可変遅延回路の後段に設けられた電気回路メモリで構成された請求項1記載の伝送路切替装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、データ通信の伝送路切替装置に利用する。冗長構成をもつ伝送システムの現用系と予備系との無瞬断切替を行う伝送路切替装置に関するものである。

〔従来の技術〕

伝送システムは、装置故障時の自動切替など、従来にもまして高機能化が図られつつある。このために、伝送システムの要求条件として、伝送路コストの低減だけではなくシステムの保守管理の重要性が高まってきている。

また、情報量の増大による伝送路の大容量化に

伴って、瞬断による影響が伝送区間に留まらずネットワーク的に大きな影響を与えるようになってきている。

さらに、冗長構成をもつ伝送システムが複雑になるにつれ、信頼性確保および予防保守による信頼性維持のためには現用系と予備系との伝送路監視を常時行い、両系を平均的に使用することが望ましい。

このように、これからの伝送システムでは、保守等による現用系と予備系との切替は無瞬断で行うことが必要である。また、超大量の伝送システムにおいては、瞬断による影響が多いため、冗長系を1:1構成とし回線断時でも無瞬断で切替えることが必要となる。

従来、伝送路切替装置は、無瞬断で現用系予備系切替を行うためには、信号系列の切替だけではなくクロック信号の切替も行う必要があるが、現用系と予備系との伝送路クロック信号の位相差を補正し無瞬断で切替を行うことが技術的に困難であった。

また、伝送路クロック信号から局内クロック信号へ乗換を行った後で現用系予備系切替を行う場合には、周波数スタフ処理や他の信号処理が複雑になり実現性が少なかった。

このため、現在の伝送システムにおける現用系予備系の切替は、現用系および予備系の信号列の伝送路遅延を補償せずに、また伝送路クロック信号の位相ズレを補償せずに行っている。

上述のように、現在の伝送システムにおける現用・予備系切替は、瞬断を伴って行われている。

〔発明が解決しようとする課題〕

このような従来の伝送路切替装置では、保守時の現用系と予備系との切替または1:1冗長構成の伝送路システムの回線断時の現用系と予備系との切替を無瞬断で行うことが必要であるが、現用系予備系切替を行うためには、現用系と予備系との伝送路クロック信号の位相差を補正し無瞬断で行うことが必要であるが技術的に困難なために、伝送路クロック信号の位相ズレを補償せずに瞬断を伴って行われる欠点があった。

本発明は上記の欠点を解決するもので、伝送路システムの現用系と予備系の切替を無瞬断で行うことができる伝送路切替装置を提供することを目的とする。

〔課題を解決するための手段〕

本発明は、入力する現用系および予備系からなる二系の伝送路の信号列をそれぞれ受信し上記二系の信号列およびクロック信号をそれぞれ出力する上記二系の受信回路と、入力する切替制御信号および切替クロック信号に基づき上記二系のうちの動作系の信号列を出力する信号列切替回路とを備えた伝送路切替装置において、入力する切替制御信号に基づき上記二系の受信回路からのクロック信号のうちの動作系のクロック信号を選択し切替クロック信号として出力するクロック切替回路と、上記二系の受信回路の各出力にそれぞれ設けられ、信号列をそれぞれ対応するクロック信号により一時格納し上記切替クロック信号によりそれぞれ読出し上記信号列切替回路に与えるエラスティックストアと、上記切替クロック信号に基づき

特開平4-49730(3)

上記信号列切替回路に入力する上記二系の信号列のビット位相差を検出し遅延制御信号を出力し、ビット位相が一致したときに上記切替制御信号を出力する位相検出回路と、上記エラスティックストア各々の前段または後段に設けられ、上記遅延制御信号に基づき上記信号列切替回路に入力する信号列の時間差を補償する遅延補償回路とを備えたことを特徴とする。

また、本発明は、上記クロック切替回路は、上記切替制御信号に基づき上記二系のクロック信号のうちの動作系のクロック信号を選択する選択回路と、上記切替クロック信号を発生する位相同期ループとを含み、この位相同期ループは上記選択回路からのクロック信号を比較入力とすることができる。

さらに、本発明は、上記遅延補償回路はそれぞれ、上記二系の受信回路の前段に設けられ光ファイバ型の光可変遅延回路で構成されることができる。

また、上記遅延補償回路はそれぞれ、上記二系

の受信回路の前段に設けられた光ファイバ型の光可変遅延回路およびこの光可変遅延回路の後段に設けられた電気回路メモリで構成されることができる。

〔作用〕

クロック切替回路は入力する切替制御信号に基づき二系の受信回路からのクロック信号のうちの動作系のクロック信号を選択し切替クロック信号として出力する。二系のエラスティックストアは二系の受信回路の信号列をそれぞれ対応するクロック信号により一時格納し切替クロック信号によりそれぞれ読出し信号列切替回路に与える。位相検出回路は切替クロック信号に基づき信号列切替回路に入力する二系の信号列のフレーム信号などによりビット位相差を検出し遅延制御信号を出力し、ビット位相が一致したときに切替制御信号を出力する。二系の遅延補償回路はそれぞれ二系のエラスティックストアの各々の前段または後段に設けられ、遅延制御信号に基づき信号列切替回路に入力する信号列のビット量分の信号列のビット

遅延操作を行い時間差を補償する。

また、上記クロック切替回路は選択回路で切替制御信号に基づき二系のクロック信号のうちの動作系のクロック信号を選択し、位相同期ループは選択回路からのクロック信号を比較入力とし切替クロック信号を出力する。クロック信号切替は、切替時における切替クロック信号に位相ズレに生じないように、さらに切替クロック信号の位相変動分が局内クロック信号へ乗換えるためのエラスティックストアのメモリ容量を越えないようにするために、伝送路のジッタワングと等しい程度の時定数をもって行う。

さらに、入力する信号列が光信号列の場合には遅延補償回路として受信回路の前段に設けられた光ファイバ型の光可変遅延回路で補償することができる。

また、二系の受信回路の前段に設けられた光ファイバ型の光可変遅延回路で大まかな遅延補正を行い、微小な遅延補正は光可変遅延回路の後段に設けられた電気回路メモリで行って遅延補償回路

の負担を軽減する。

以上により伝送路システムの現用系と予備系との切替を無断で行うことができる。

〔実施例〕

本発明の実施例について図面を参照して説明する。第1図は本発明一実施例伝送路切替装置のブロック構成図である。第2図は本発明の伝送路切替装置のクロック切替回路のブロック構成図である。第1図および第2図において、伝送路切替装置は、入力する現用系および予備系からなる二系の伝送路の信号をそれぞれ受信し二系の信号列S1、S2およびクロック信号CL1、CL2をそれぞれ出力する二系の受信回路11、21と、入力する切替制御信号CNT4および切替クロック信号CL3に基づき二系のうちの動作系の信号列を出力する信号列切替回路40とを備える。

ここで本発明の特徴とするところは、入力する切替制御信号CNT3に基づき二系の受信回路11、21からのクロック信号CL1、CL2のうちの動作系のクロック信号を選択し切替クロック信号C

特開平4-49730(4)

L3として出力するクロック切替回路30と、二系の受信回路11、21の信号列S1、S2をそれぞれ対応するクロック信号により一時格納し切替クロック信号CL3によりそれぞれ読出し信号列切替回路40に与える二系のエラスティックストア12、22と、切替クロック信号CL3に基づき信号列切替回路40に入力する二系の信号列のビット位相差を検出し遅延制御信号CNT1、CNT2を出力し、ビット位相が一致したときに切替制御信号CNT3、CNT4を出力する位相差検出回路50と、エラスティックストア12、22と信号列切替回路40との間に設けられ、遅延制御信号CNT1、CNT2に基づき信号列切替回路40に入力する二系の信号列の時間差を補償する二系の遅延補償回路13、23とを備えたことにある。

また、クロック切替回路30は、切替制御信号CNT3に基づき二系のクロック信号CL1、CL2のうちの動作系のクロック信号を選択する選択回路41と、選択回路41からのクロック信号を比較入力とし切替クロック信号CL3を出力する位相

同期ループ42とを含む。

さらに、位相同期ループ42は、位相比較器43と、低域濾波器44と、電圧制御発振器45とを含む。

このような構成の伝送路切替装置の動作について説明する。第1図において、現用系および予備系の受信回路11、21の伝送路のクロック信号CL1、CL2はそれぞれクロック切替回路30に入力される。クロック切替回路30は、現用系動作時にはクロック信号CL1を出力し、予備系動作時にはクロック信号CL2を出力する。

また、クロック切替回路30は、現用系から予備系への切替時には、クロック位相がクロック信号CL1の位相からクロック信号CL2の位相へ徐々に変移するクロック信号を出力する。クロック切替回路30の詳細については後述する。

また、エラスティックストア12、22は、現用系および予備系の受信回路11、21からの信号列S1、S2を各伝送路のクロック信号CL1、CL2で一時蓄積し、クロック切替回路30の出力する切替クロック信号CL3で読出す。これにより、伝送

路クロック位相変動が吸収され、それぞれ同一の切替クロック信号CL3で動作する状態となる。

次に、電気回路メモリ等で構成され、現用系と予備系との伝送路信号列の時間差をビット単位で補償する遅延補償回路13、23は、それぞれの信号列S1、S2のビット位相を完全に合わせた状態とし、現用系と予備系との伝送路信号列を切替える信号列切替回路40に出力する。

また、遅延補償回路13、23と信号列切替回路40の間に設けられた位相差検出回路50は、現用系と予備系の信号列の位相差を検出する。

次に、現用系から予備系への切替手順を説明する。予備系への切替が要求されると、位相差検出回路50は、伝送路フレーム信号等の基準となる信号を検出し、現用系と予備系との伝送路遅延差に対応するビット量を算出する。さらに、現用系と予備系との信号列の位相差がなくなるように予備系の遅延補償回路23へ遅延補正を行うための遅延制御信号CNT2を与える。遅延補償回路23は位相差検出回路50から指示されたビット量分の伝送

路信号のビット遅延操作を行う。次に、位相差検出回路50は、現用系と予備系の信号列の位相差がないことを確認し、クロック切替回路30および信号列切替回路40へ切替を行うための切替制御信号CNT3、CNT4を与える。クロック切替回路30は、位相差検出回路50からの切替制御信号CNT3のクロック切替命令により現用系伝送路のクロック信号CL1を選択している状態から予備系伝送路のクロック信号CL2を選択する状態に切替える。また、信号列切替回路40は、切替制御信号CNT4の信号列切替命令によりビット単位に切替える回路を動作させ、現用系の伝送路信号列（信号列S1）から予備系の伝送路信号列（信号列S2）へビット切替を行う。以上の操作を行うことにより現用系から予備系への無断切替が完了する。

また、予備系から現用系への切戻しは、上述と同様の操作を制御信号CNT1～CNT4に基づき行う。

第2図において、クロック切替回路30は、2対

特開平4-49730(5)

1 選択スイッチから成る選択回路41と伝送路ジッタワンダと等しい程度の時定数を持つ位相同期ループ42より構成される。また、位相同期ループ42は、位相比較器43、低域濾波器44および電圧制御発振器(VCO)45より構成される。位相比較器43は、位相同期ループ42へ入力する信号と電圧制御発振器45の出力信号との位相差分のレベルをもつ信号を出力する。低域濾波器44は、位相比較器43からの信号を低域濾波器44の帯域で決まる時定数で変化する信号に変換し、電圧レベルにより発振周波数に変化する電圧制御発振器45へ出力する。このため、電圧制御発振器45の出力信号は、低域濾波器44の帯域で決まる時定数で変化する。このように、フィードバック系を構成することにより、位相同期ループ42へ入力する信号と電圧制御発振器45の出力信号との位相差は低域濾波器44の帯域で決まる時定数で徐々に「0」に収束する。なお、位相同期ループ42の時定数は低域濾波器44などを最適に設計することにより伝送路ジッタワンダ程度の値にする。クロック切替回路30に上述の切替

回路を用いることにより、現用系の伝送路のクロック信号CL1から予備系の伝送路のクロック信号CL2へ切替えたときにもクロック切替回路30の出力する切替クロック信号CL3は伝送路ジッタワンダ程度の時定数で変化する。

第3図は本発明第二実施例伝送路切替装置のブロック構成図である。第二実施例の特徴は遅延補償回路13をエラスティックストア12の前に置くことにより切替回路部分と遅延補償回路部分とを分離して構成したことである。その他の構成は第1図に示す第一実施例と同様である。このような構成にすることで、遅延補償回路におけるメモリ量が不足した場合などの遅延補償回路部分の取替え(バージョンアップ)が可能となる。

第4図は本発明第三実施例伝送路切替装置のブロック構成図である。第三実施例は光伝送システムに用いられ、遅延補償回路13を受信回路11の前に設けたことを特徴とする。遅延補償回路13は、光ファイバなどによる光可変遅延回路で構成される。その他の構成は第1図に示す第一実施例と同

様である。

第5図は本発明第三実施例伝送路切替装置の光可変遅延回路のブロック構成図であり、 2×2 光スイッチと長さが異なる一対の光ファイバをひとつの単位として、それらをシリーズに接続することにより光可変遅延回路を構成する。遅延補償回路13、23へ遅延補正を行うため送られた遅延制御信号CNT1をもとに各 2×2 光スイッチを操作することによりビット遅延補償を行うことが可能となる。

第6図は本発明第四実施例伝送路切替装置のブロック構成図である。これは遅延回路を2箇所に設けた構成である。このような構成により、遅延補正を行う際に、大まかな補正は光可変遅延回路などで構成された遅延補償回路61、62を用いて行い、遅延補正の微小な部分については電気回路メモリ等で構成された遅延補償回路13、23を用いて行うことができ、遅延補償回路の負担を軽減することが可能となる。

〔発明の効果〕

上述したように、本発明は、現用系・予備系の伝送路の信号およびクロック信号を無断で切替えることができる優れた効果がある。

さらに、現用系・予備系を1:1で構成する場合に、常時切替可能な状態を保つことにより、伝送路断等の異常時においても無断で切替ができる利点がある。

4. 図面の簡単な説明

第1図は本発明第一実施例伝送路切替装置のブロック構成図。

第2図は本発明第一実施例伝送路切替装置のクロック切替回路のブロック構成図。

第3図は本発明第二実施例伝送路切替装置のブロック構成図。

第4図は本発明第三実施例伝送路切替装置のブロック構成図。

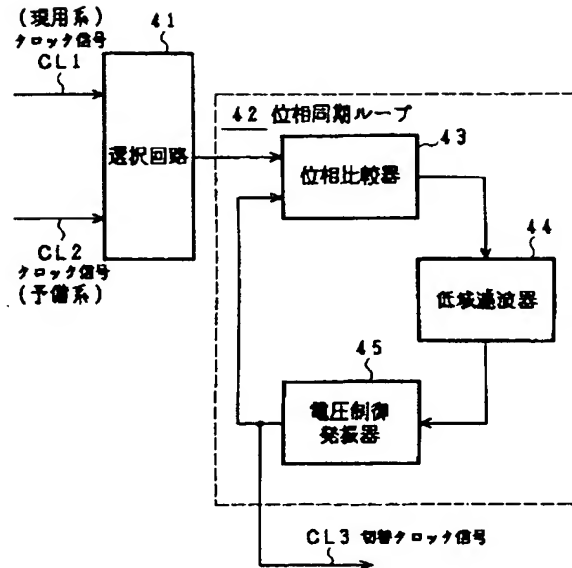
第5図は本発明第三実施例伝送路切替装置の光可変遅延回路のブロック構成図。

特開平4-49730(6)

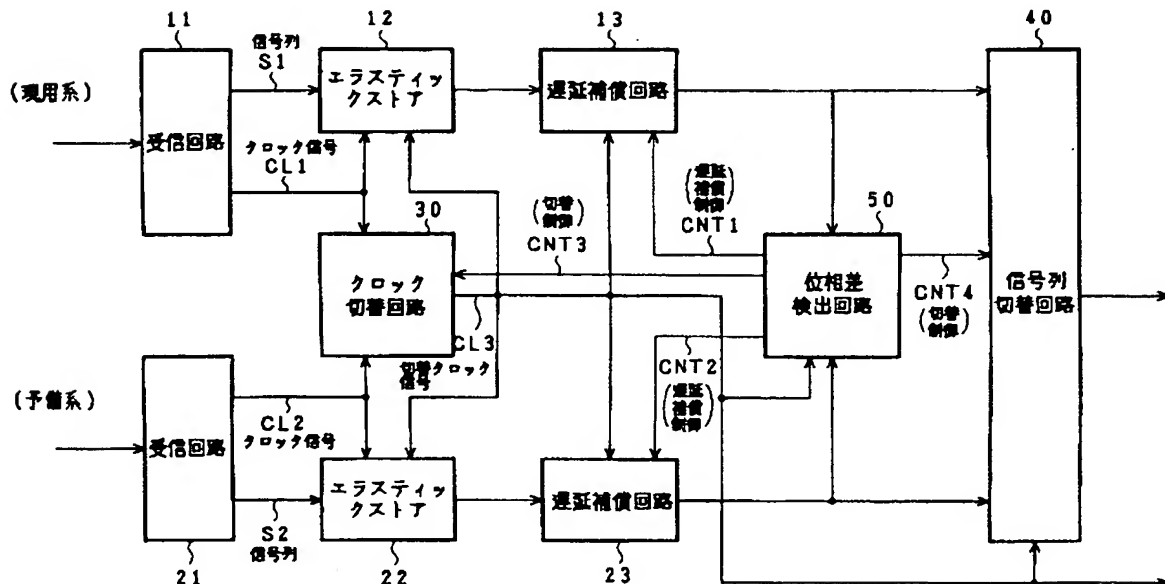
第6図は本発明第四実施例伝送路切替装置のブロック構成図。

11、21…受信回路、12、22…エラスティックストア、13、23、61、62…遅延補償回路、30…クロック切替回路、40…信号列切替回路、41…選択回路、42…位相同期ループ、43…位相比較器、44…低域濾波器、45…電圧制御発振器、50…位相差検出回路、S1、S2…信号列、CL1、CL2…クロック信号、CL3…切替クロック信号、CNT1、CNT2、CNT5、CNT6…遅延制御信号、CNT3、CNT4…切替制御信号。

特許出願人 日本電信電話株式会社
代理人 弁理士 井出直孝

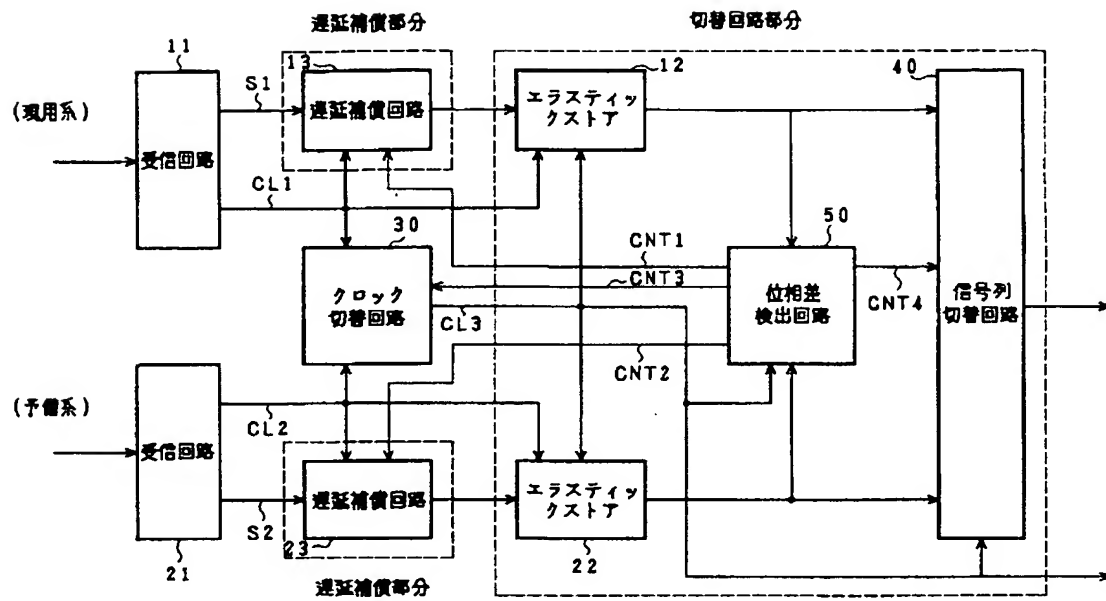


第一実施例 クロック切替回路
第 2 図

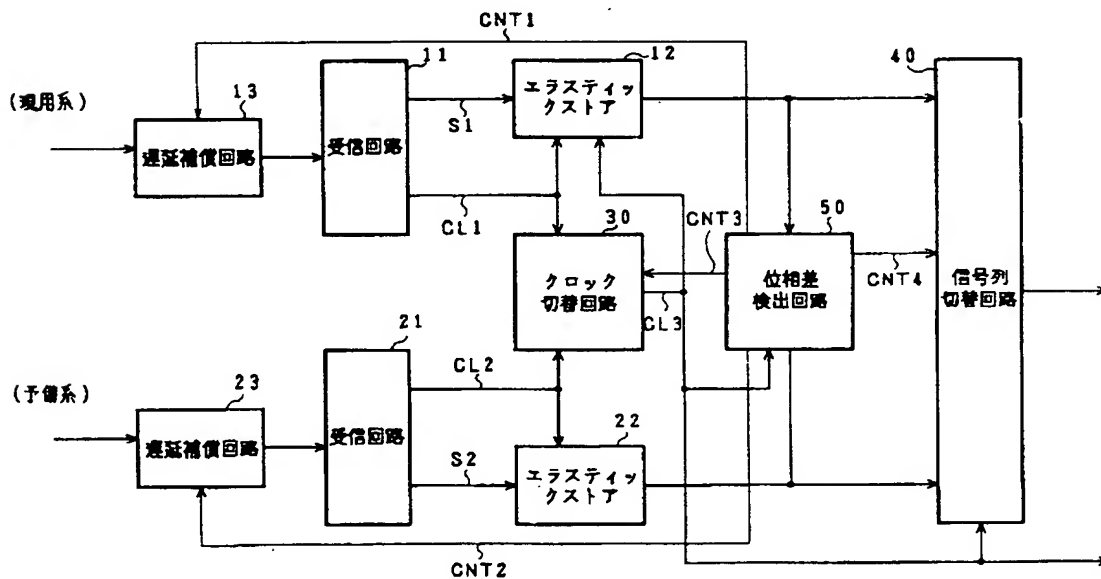


第一実施例
第 1 図

特開平4-49730(7)

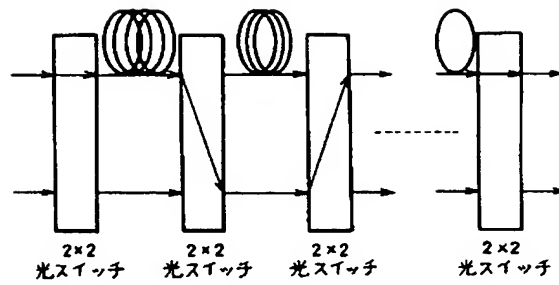


第二実施例
第 3 図



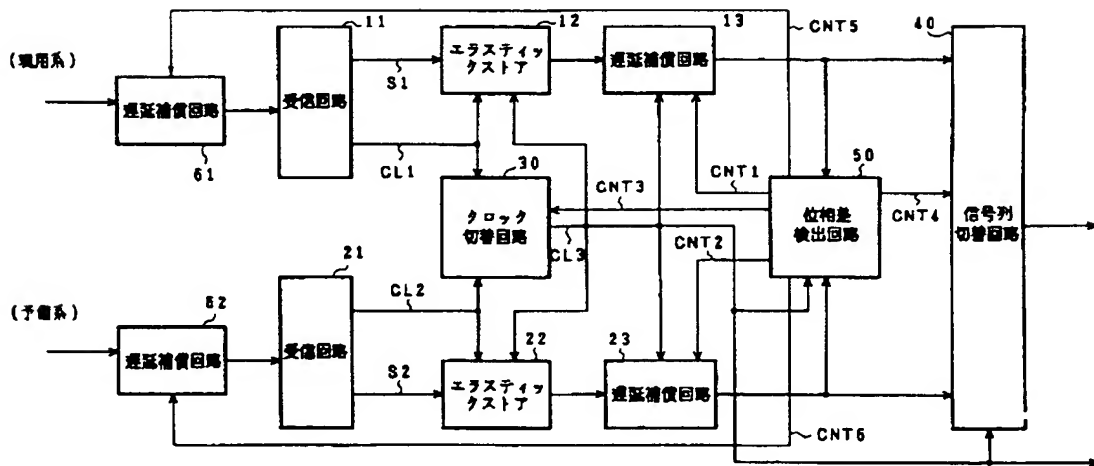
第三実施例
第 4 図

特開平4-49730(8)



第三実施例 光可変遅延回路

第 5 図



第四実施例

第 6 図